

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-276669

(43)Date of publication of application : 07.11.1989

(51)Int.Cl.

H01L 29/78

(21)Application number : 63-104862

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 27.04.1988

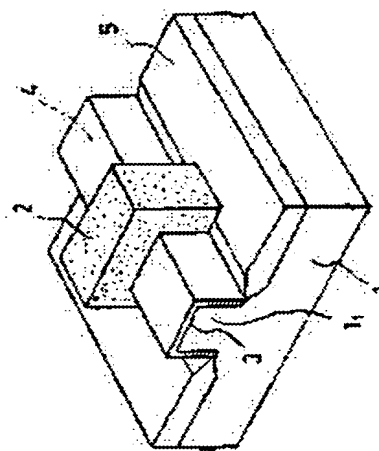
(72)Inventor : NAKAYAMA TAKEO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To increase the driving current of a transistor with a fine structure and improve the characteristics of the transistor by providing a protruding part on a semiconductor substrate under a gate electrode.

CONSTITUTION: A protruding stripe is provided on a semiconductor substrate under a gate electrode and the upper surface and both the side surfaces of the protrusion 11 are covered with a gate insulating film 3. A gate electrode 2 is so formed as to cross over the protrusion 11 and the part of the protrusion 11 surrounded by the gate electrode 2 is used as a channel region and source and drain 4 are formed in the parts of the protrusion 11 on both the sides of the gate electrode 2. In this construction, carriers (electrons or positive holes) are transferred along the longitudinal direction of the protrusion 11. With this constitution, a fine integrated circuit area can be obtained and the driving current of a transistor with the fine structure can be increased and the transistor characteristics can be improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平1-276669

⑤ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)11月7日

H 01 L 29/78

3 0 1

H-8422-5F

審査請求 有 請求項の数 3 (全3頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 昭63-104862

⑯ 出 願 昭63(1988)4月27日

⑰ 発 明 者 中 山 武 雄 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑱ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑲ 代 理 人 弁理士 鈴江 武彦 外2名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) MOS型トランジスタを構成する半導体装置において、ゲート電極下の半導体基板が凸状になっていることを特徴とする半導体装置。

(2) 前記ゲート電極下の凸状になっている半導体基板の上面及び両側面の三面がチャネル領域となっていることを特徴とする請求項1に記載の半導体装置。

(3) 前記ゲート電極下の半導体基板が凸条になっていて、この半導体基板の凸条部の側面が、前記MOS型トランジスタのドレイン、ソース間を流れる電子または正孔の方向と平行な方向であることを特徴とする請求項1または2に記載の半導体装置。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明はMOS型トランジスタを構成する半導体装置に関するもので、特にMOS集積回路に使用されるものである。

(従来技術)

この種の従来技術の半導体装置は、第3図に示すようなMOSトランジスタ構造が用いられていた。ここで1は半導体基板、2はゲート電極、3はゲート絶縁膜、4はソースまたはドレイン領域、5はフィールド絶縁膜である。

(発明が解決しようとする課題)

上記従来技術では、第3図に示すような平面的なチャネルのMOSトランジスタ構造が用いられているため、大電流を駆動する場合には、トランジスタサイズを大きくしなければならず、高集積化上問題である。また基板1、電極2間で、チャネル面に対し垂直な方向に強い電界が働き、例えば電子(キャリア)のソース、ドレイン間移動度が小となり、大電流がとりにくくなる。また微細なトランジスタを形成した場合は、ナローチャネル効果が問題となる。つまり微細化の場合、ナ

特開平1-276669(2)

ャネル幅Wが小となるから、フィールド絶縁膜5、5下の反転防止層どうしが近づきすぎる等で、しきい値電圧が大となる等の問題がある。

本発明は、従来のトランジスタ構造で高集積化しようとした場合問題となった点を解決するべくなされたもので、トランジスタの駆動電流の増大とトランジスタ特性の向上を目的とするものである。

〔発明の構成〕

(課題を解決するための手段と作用)

本発明は、MOS型トランジスタを構成する半導体装置において、ゲート電極下の半導体基板が凸状になっていることを第1の特徴とする。また本発明は、前記ゲート電極下の凸状になっている半導体基板の上面及び両側面の三面がチャネル領域となっていることを第2の特徴とする。また本発明は、前記ゲート電極下の半導体基板が凸条になっていて、この半導体基板の凸条部の側面が、前記MOS型トランジスタのドレイン、ソース間を流れる電子または正孔の方向と平行な方向であ

ることを特徴とする。

即ち本発明は、MOS型トランジスタ構造において、ゲート電極下の半導体基板を、隆起した形状にすることにより、微細なトランジスタでの駆動電流の増大と、トランジスタ特性を向上させるものである。

(実施例)

以下図面を参照して本発明の一実施例を説明する。第1図は同実施例の要部を示すMOSトランジスタの斜視図であるが、これは第3図のものと対応させた場合の例であるから、対応箇所には同一符号を付して説明を省略し、特徴とする点の説明を行なう。即ちこのMOSトランジスタは、ゲート電極下の半導体基板が凸状(凸条)になっていて、この凸部11の上面、両側面はゲート絶縁膜3で覆われており、凸部11をまたぐようにゲート電極2が形成され、このゲート電極2に囲われた部分の凸部11がチャネル領域となり、ゲート電極2を挟む両側の凸部11の部分にソース、ドレイン4が形成される。この場合凸部11の縦

方向にキャリア(電子または正孔)が流れる。

次に本実施例のトランジスタ製造方法を説明する。まず第2図(a)に示す如く、例えばP型Si単結晶基板1上に、950℃の水素熱焼酸で500ÅのSiO₂膜10を形成して、SiN膜11を化学的気相堆積法により2500Å堆積し、リソグラフィ技術により、素子分離領域の上記SiN膜以外をレジストで覆い、素子分離領域のSiN膜とSiO₂膜を、RIE(Reactive Ion Etching)により除去し、そしてSi単結晶基板1をRIEした後にレジストを除去する。次に第2図(b)のように、950℃水素熱焼酸で500ÅのSiO₂膜12を形成し、更にSiN膜13を化学的気相堆積法により1000Å堆積し、堆積したSiN膜13をRIEにより除去する。この時、RIEによる異方性エッチングによりSiN膜13を除去するため、Si単結晶基板の凸部11の側面には、SiN膜13が残る。そして、このSiN膜11、13を酸化のマスクとして、フィールド酸化膜5を水素熱焼酸

により5000Å形成する。次に、SiN膜11、13をCDE(Cheical Dry Etching)により除去し、NH₄F溶液によりSiO₂膜10、12を除去する。そしてMOSトランジスタのゲート絶縁膜3を、900℃、HClを10%含む乾燥酸素雰囲気中で熱処理することにより、300Å形成する。そして、ゲート電極として、多結晶Si膜2を化学的気相堆積法により4000Å堆積し、ゲート電極の低抵抗化のために、900℃、PoCl₃、30分のリン拡散を行なう。次に、リソグラフィ技術によりゲート電極部をレジストで覆い多結晶Si膜2をRIEにより除去し、レジストを除去して第1図の構成を得る。この後、周知の技術により第1図の凸部11においてゲート電極2を挟む領域にソース、ドレイン4を形成して、第2図(d)の如く絶縁膜14、15を形成した後に、Al合金16により配線を行ない集積回路を形成するものである。

上記のような構成であれば、縦方向(高さ方向)にもチャネル領域が形成できるため、大電流を駆

特開平1-276669(3)

動する時に、平面的なトランジスタサイズを大きくすることなく高集積化ができる。換言すれば、平面的に小さな面積でチャネル領域を広くでき、トランジスタサイズを実質的に大きくでき、大電流を駆動できる。また第1図の構成では、凸部11の上面のみでなく、凸部11の両側面で横方向にも電界が生じるため、ベクトル合成してみても分かるように縦方向の電界が緩和され、大電流が得やすくなる。実際には、ゲート電極2で囲われた部分の凸部11全体が反転層化されるとき、一番電界が緩和される。また凸部11の上部と両側部がチャネル幅Wとなるから、チャネル幅が大となって、ナローチャネル効果の問題が減少するものである。

〔発明の効果〕

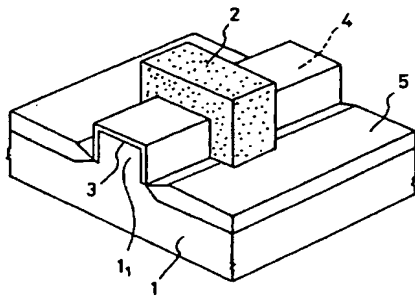
以上説明した如く本発明によれば、集積回路面積の微細化、またこの微細化を行なった場合のトランジスタの駆動電流の増大とトランジスタ特性の向上が可能となるものである。

4. 図面の簡単な説明。

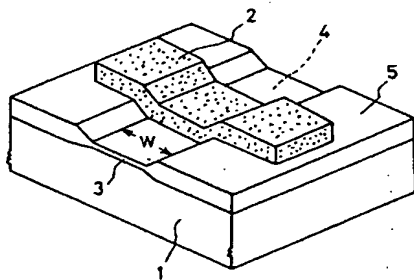
第1図は本発明の一実施例の要部の斜視図、第2図は同実施例の製造工程図、第3図は従来装置の斜視図である。

1…半導体基板、11…凸部（凸条）、2…ゲート電極、3…ゲート絶縁膜、4…ソースまたはドレイン領域、5…フィールド酸化膜。

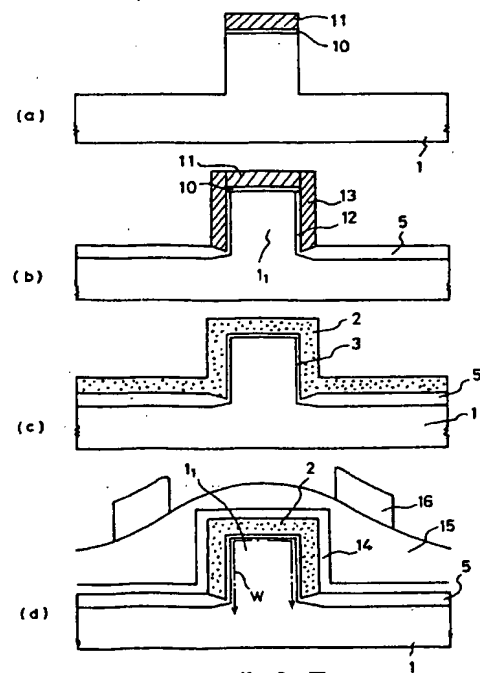
出願人代理人 井理士 鈴江武彦



第1図



第3図



第2図